

Dispatch No. 9-5-2003-007640499
Dispatch Date: February 28, 2003
Response Due: April 30, 2003

Patent Office
Notification of Written Opinion

Applicant Seiko Epson Corporation (Applicant No. 519980961456)
 4-1, Nishi-shinjuku 2-chome, Shinjuku-ku, Tokyo, Japan

Representative Dall-Ryong Choi
 Poonglim Bldg., 2F. 823-1, Yoksam-Dong, Kangnam-ku, Seoul

Patent Application No. 10-2001-0020131

Title of the Invention THREE-DIMENSIONAL MOUNTED ASSEMBLY,
 METHOD OF MANUFACTURING THE SAME, AND
 OPTICAL TRANSMISSION DEVICE

The applicant is notified under the Patent Law Section 63 that this application has been examined and the reason for refusal mentioned below has been found. If the applicant has any arguments against the reasons, or if any amendments are necessary, these arguments or amendments should be submitted by the above-mentioned due date. (Regarding the above-mentioned due date, the applicant can request for extensions of time for one month at a time. However, the applicant is not notified of the approval of the extension of time.)

Reasons

The inventions described in claims 1 to 16 of this application should not be granted a patent under the provision of Patent Law Section 29(2), since the inventions could have easily been made by persons who have common knowledge in the technical field to which the inventions pertain, on the basis of the Note below.

Note

The inventions in claims 1 to 16 of the present application are geared toward providing a technique of disposing a plurality of electronic parts on a plurality of molds, providing a plurality of interconnections on the molds by adhering them, curing the molding material, and removing the molds from the molding material, in order to provide a three-dimensional mounted assembly with high mounting

density and optical transmission device. The inventions can easily be made by persons who have common knowledge in the technical field of the present application based on Korean Patent Application Laid-Open No. 1994-9176 (October 1, 1994) which discloses the technique of molding an article integrated with a multi-layer flexible circuit in which the layers are laminated on the film base on which a circuit pattern is formed.

Enclosure

1. Korean Patent Application Laid-Open No. 1994-9176 (Publication date: October 1, 1994)

출력 일자: 2003/3/3

발송번호 : 9-5-2003-007640499
발송일자 : 2003.02.28
제출기일 : 2003.04.30

수신 : 서울 강남구 역삼동 823-1 풍림빌딩 5층(
최달용국제특허법률사무소)
최달용 귀하

135-080

특허청 의견제출통지서

출원인 명칭 세이코 엘스 가부시기가이샤 (출원인코드: 519980961456)
주소 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1
대리인 성명 최달용
주소 서울 강남구 역삼동 823-1 풍림빌딩 5층(최달용국제특허법률사무소)
출원번호 10-2001-0020131
발명의 명칭 3차원 실장부품과 그 제조방법 및 광 전달장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-16항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원발명 청구항 제1-16항의 요지는 실장밀도가 높은 3차원 실장부품과 전달장치를 제공하기 위해 복수의 틀에 복수의 전자부품을 배치하고 틀에 배선을 부착하고 성형재료로 경화 박리하는 기술의 제공에 있으며, 이는 한국특허공보 1994-9176(1994.10.1)에서 회로패턴이 형성된 필름형상부재를 적층배선한 다층회로 본체를 임의 형상의 성형품에 일체적으로 성형하는 기술로부터 본원의 기술분야에서 통상의 지식을 가진 자의 수준에서 용이하게 발명할 수 있습니다.

[첨부]

첨부1 한국특허공보 1994-9176(공고일: 1994.10.1.) 끝.

2003.02.28

특허청 심사4국
반도체2심사담당관실

심사관 유환철



<<안내>>

문의사항이 있으시면 ☎ 042-481-5743 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁸ H05K 3/46	(45) 공고일자 1994년 10월 01일 (11) 등록번호 특 1994-0009176 (24) 등록일자
(21) 출원번호 (22) 출원일자	특 1991-0012011 1991년 07월 15일
(30) 우선권주장 (73) 특허권자	2-188911 1990년 07월 17일 일본(JP)
(72) 발명자	니시하라 무네키즈 일본국 오오사카후 마네가와시 미유키히가시마찌 17-6 다이 마루멘손 205 후쿠시마 테즈오 일본국 오오사카후 카타노시 키사베니시 2-24-101 스에즈구 켄이찌로 일본국 효고켄 아마가시키키지 미나미무코노소 4조오메 21-12-203 이케다 준지 일본국 나라켄 이코마시 코요다이 29반지 신중훈
(74) 대리인	신중훈

심사관 : 심사관 (
특허공보 제9761호)

(54) 다층회로부재 및 그 제조방법

요약

내용 없음.

도면

도 1

명세서

[발명의 명칭]

다층회로부재 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 일 실시예에 있어서의 다층회로부재의 사시도.

제2도~제4도는 본 발명의 일 실시예에 있어서의 다층회로부재의 제조방법을 표시하는 것.

제2도는 필름형상부재의 회로패턴을 묘화하는 상태의 사시도.

제3도는 회로패턴이 형성된 필름형상부재를 성형용틀에 얹어놓은 상태의 사시도.

제4도는 다층회로본체가 성형부재내에 일체로 성형된 다층회로부재의 사시도.

* 도면의 주요부분에 대한 부호의 설명

1 : 다층회로본체

2 : 성형부재

3 : 관통구멍

4 : 회로패턴

6 : 필름형상부재

7 : 틀

[발명의 상세한 설명]

본 발명은 회로패턴이 형성된 다층회로부재 및 그 제조방법에 관한 것이다.

최근, 가정용 전기제품에 있어서 장치의 소형경량화의 필요성 증대에 따라서, 회로제작분야에 있어서도 회로의 소형고밀도화가 요구되고, 더욱이 회로의 다층화 및 패턴의 미세화가 진행되고 있다.

또, 상품수요의 다양화에 의해 회로패턴도 융통성 있게 설계제조할 수 있는 시스템으로 발전하여 가고

있다.

종래의 다층회로부재는, 프린트기판을 적층구조로 해서 3차원적인 회로구성으로 하므로서, 소형화를 실현하고 있다. 즉, 다층의 프린트기판을 1매씩 에칭하거나 또는 스크린 인쇄등에 의해 회로패턴이 형성된 기판을 프레스에 의해 평면형상으로 적층한 후, 층사이를 구멍가공하고 도금하므로서 3차원적인 회로를 구성하고 있다.

그러나 상기와 같은 구성으로는, 다층화된 프린트기판의 형상이 평면형상이기 때문에, 소형의 상품유니트에 조립해 넣을 때, 아무래도 공간적으로 제약이 있다고 하는 문제가 있었다.

본 발명은 상기의 문제점에 비추어서, 임의형상의 성형품에 일체성형된 다층회로부재 및 그 제조방법을 제공하는 것을 목적으로 한다.

상기 과제를 해결하기 위하여 본 발명의 다층회로부재는, 회로패턴이 형성된 필름형상부재를 적층배선한 다층회로본체를, 임의형상의 성형품에 일체적으로 성형한 것을 특징으로 한다. 또한, 상기 구성에 있어서, 회로패턴은 도전성 재료의 묘화(描畵)에 의해 형성할 수 있다.

또, 본 발명의 다층회로부재의 제조방법은 회로패턴이 형성된 필름형상부재를 순차적으로 적층한 후, 각 필름형상부재의 관통구멍에 도전성 재료를 관통시켜서 적층배선한 다층회로본체를, 소망하는 성형품의 틀에 삽입하고 성형재료를 충전해서 다층회로부재를 일체적으로 성형하는 것을 특징으로 한다.

상기 구성에 의하면, 회로패턴이 형성된 필름형상부재를 사용하므로서 임의형상의 틀에 삽입하는 것이 가능하게 되고, 소망의 성형품에 일체적으로 성형된 구성의 회로형성이 가능하게 된다.

또, 회로패턴을 형성한 필름형상부재를 성형용의 틀에 삽입하여 소망성형품의 성형재료를 충전하여 성형하고, 필름형상부재를 순차, 적층성형한 후 관통구멍으로 관통시킨 도전성 재료에 의해 적층배선을 행하는 것으로 다층화하므로서, 융통성 있는 회로를 임의형상의 성형품내에 다층화할 수 있으므로, 상품수요의 소형다양화에 대응한 다층회로부재를 제공할 수 있다. 또, 회로패턴을 도전성 재료의 묘화에 의해서 형성하는 것은, 다층회로부재의 다품종 소량생산화에 유리하다.

이하, 본 발명의 실시예를 도면에 의거해서 설명한다.

제1도는 본 실시예에 있어서의 다층회로부재의 사시도이다. 제1도에 있어서, (1)은 회로패턴이 형성된 복수매의 필름형상부재를 적층배선하여 이루어진 다층회로본체이며, 성형부재(2)내에 일체적으로 성형되어 있다. 다층회로본체(1)의 외부회로와의 접속부는, 성형부재(2)의 끝면으로부터 외부로 뻗어나와 있다.

(3)은 다층회로본체(1)를 관통하여 성형부재(2)의 표면에 이르는 관통구멍이며, 다층회로본체(1)의 층사이의 접속을 가능하게 하는 동시에, 성형부재(2)의 표면에 있어서의 전자부품의 실장(實裝)을 가능하게 하고 있다. 이와같이 해서 얻은 다층회로부재의 표면에 상기 관통구멍(3)의 개소에 있어서의 전자부품을 실장하는 것도 가능하다. 필름형상부재로는 성형부재(2)의 재료의 수축이나 가열에 의한 변형에 견딜 수 있는 폴리이미드계의 필름등을 사용하였다. 또 성형부재(2)의 재료로서는, 열가소 및 열경화성의 수지 이외에도 세라믹의 미소성재료(微燒性材料)등을 사용할 수 있다.

다음에, 상기 다층회로부재의 제조방법에 대해서 제2도 내지 제4도에 도시한다.

제2도에 있어서, (6)은 필름형상부재, (5)는 묘화용 노즐, (5)는 도전패턴이다. 도전성 재료로서는, 페이스트형상의 도전성 재료가 사용된다. 도전성 재료 이외에도 광도파로 재료나 여러가지의 기능재료를 사용해도 된다. 또, 묘화 이외의 방법으로서, 스퍼터(sputter) 또는 증착에 의한 박막패턴형성이나 종래의 에칭에 의한 패턴형성도 가능하다.

이와같이 해서 다층회로본체(1)의 다층을 제작한 후, 제3도와 같이 성형용의 틀에 필름형상부재(6)를 세트한다. 제3도에 있어서, (7)은 성형용 틀의 한쪽, (8)은 성형재료의 공급구(供給口)이다. 성형방법으로는, 사출성형, 압축성형, 트랜스퍼성형(transfer molding), 블로우성형(blow molding : “중공성형”이라고도 함), 주형등을 사용할 수 있다. 필름형상부재(6)를 틀에 의해서 순차적으로 적층성형한 후, 관통구멍(3)을 형성하고, 이 관통구멍(3)에 페이스트형상의 도전성 재료를 충전해서 관통시켜 적층사이를 배선하므로서 임의형상의 다층회로부재를 얻을 수 있다. 제4도에 도시한 바와같이 다층회로부재의 표면, 즉 성형부재(2)의 표면에 전자부품(9)을 실장하는 것도 가능하고, 또한 각 필름형상부재(6)에 전자부품을 미리 실장해서 상기 전자부품을 성형부재(2)내에 매설하는 것도 가능하다.

이상과 같이, 각 층의 회로패턴을 묘화에 의해 작성하므로서, 상품수요의 다양화에 대응한 융통성 있는 다층회로부재의 효율적인 제조가 가능하게 된다. 그리고, 상기와 같은 제조방법에 의해 얻어진 다층회로부재는, 임의형상의 성형품 내부에 다층회로를 형성하므로서 상품의 외장케이스부재를 겸한 다층회로를 실현할 수 있는 등, 소형의 상품유니트제조에 있어서 새로운 소형경량화의 실현이 가능하게 된다.

이상과 같이 본 발명은, 회로패턴을 형성한 필름형상부재를 사용하므로서 임의형상의 틀에 삽입하는 것이 가능하고, 소망의 성형품에 일체적으로 형성된 다층회로형성이 가능하게 된다.

이 결과, 융통성 있는 회로를 임의형상의 성형품내에 다층회로화하는 것이 가능하게 되고, 상품수요의 소형다양화에 대응할 수 있다.

(57) 청구의 범위

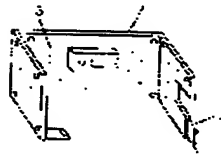
청구항 1. 회로패턴이 형성된 필름형상부재를 적층배선한 다층회로본체를, 임의형상의 성형품에 일체적으로 성형해서 이루어진 것을 특징으로 하는 다층회로부재.

청구항 2. 제1항에 있어서, 상기 회로패턴은 도전성 재료를 묘화해서 형성하여 이루어진 것을 특징으로 하는 다층회로부재.

청구항 3. 회로패턴이 형성된 필름형상부재를 순차적으로 적층한 후, 각 필름형상부재의 관통구멍에 도전성 재료를 관통시켜서 적층배선한 다층회로본체를, 소망성형품의 틀에 삽입하고, 성형재료를 충전하여 다층회로부재를 일체로 성형하는 것을 특징으로 하는 다층회로부재의 제조방법.

도면

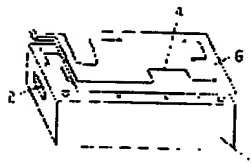
도면1



도면2



도면3



도면4

